

## ATmega48 – ADC

### Vlastnosti A / D prevodníka

- 8- kanálový multiplexer, 10-bitový ADC
- (6),8- jednoduchých kanálov
- Trvanie prevodu 13 - 260  $\mu$ s
- Až 15 kSPS pri maximálnom rozlíšení
- Zarovnávanie výsledku prevodu. Možnosť nastaviť zarovnanie dol'ava
- Rozsah vstupného napätia pre ADC je 0 -  $V_{CC}$
- Zabudovaný zdroj referenčného napätia 1.1V pre ADC
- Voľne bežiaci prevod alebo samostatne spúšťaný
- Požiadavka o prerušenie po skončení prevodu
- „Redukcia“ rušenia

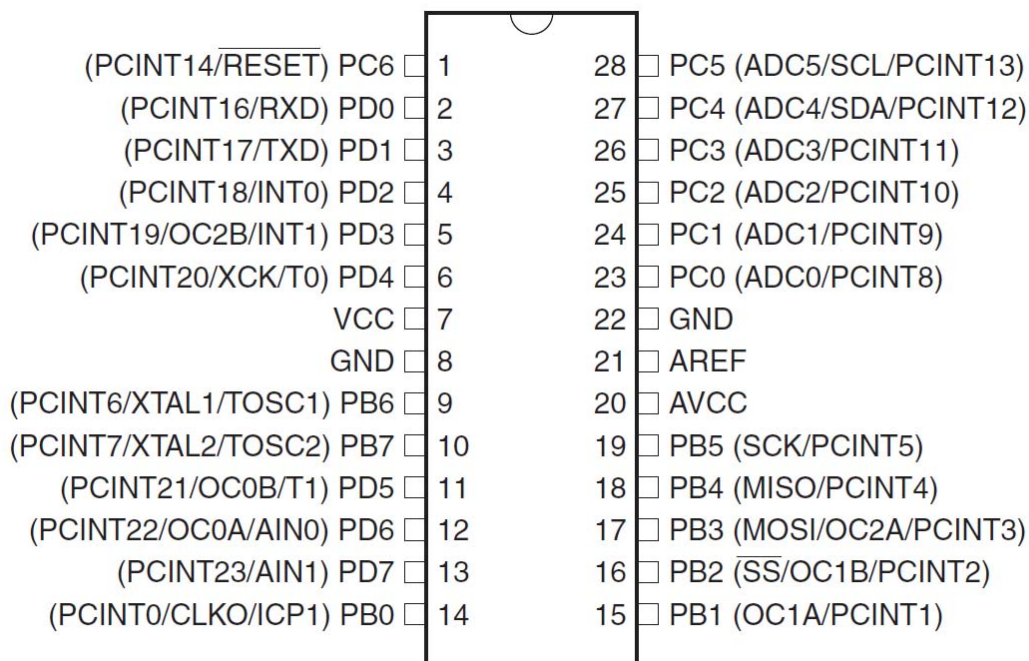
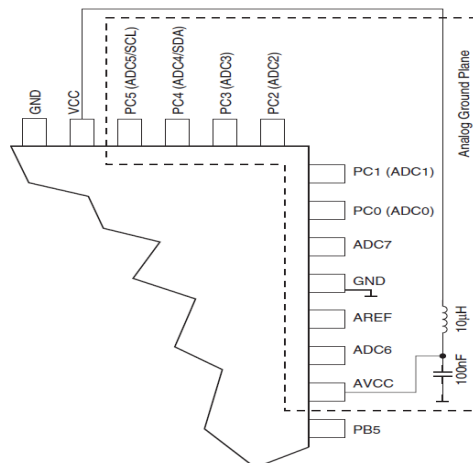


Figure 23-9. ADC Power Connections



**AV<sub>CC</sub>** - je pin pre napájacie napätie pinov **Portu C** a napájanie **ADC**. Napätie tohto pinu sa nesmie líšiť od  $V_{CC}$  o viac ako  $\pm 0,3V$ .

**AREF** - je pin analógového referenčného napätia pre **A/D** prevodník.

## Potlačenie rušenia

ADC môže pracovať v móde redukcie šumov pri A/D prevode.

Túto časť skrátime nasledovne: Niečo nezvládli a preto je okolo toho toľko „rečí“.

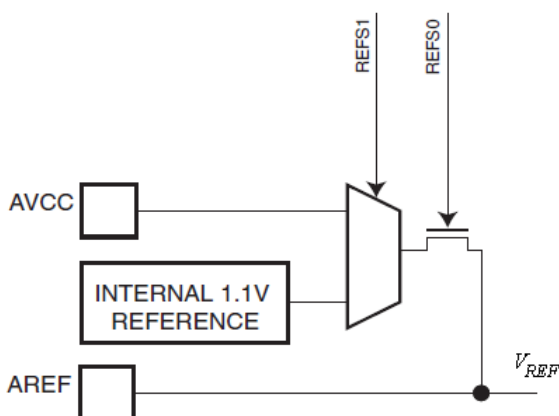
Podrobnejšie vid'. katalógový list.

## Analog Comparator - Vynecháme v tejto časti

### Zdroj napät'ovej referencie

Zdroj vnútorného referenčného napätia sa zapne ak ho požaduje k svojej prevádzke jeden z blokov:

*Brown-out Detector*, **Analog Comparator** alebo **ADC**. Ak budú tieto bloky vypnuté, vypnutý bude aj zdroj referenčného napätia a teda nebude spotrebávať energiu. Ak ho „zapneme“ musíme počkať na dokončenie „start up“ a až potom ho môžeme použiť. Ak ho použijeme aj v útlmovom režime, môžeme ho použiť okamžite. Pre **ADC** má  $V_{REF}$  hodnotu 1,1 V a je odvodené z  $V_{BG}$ . Niektoré typy obvod majú túto hodnotu nastavenú na 2,56V.



Ako referenčné napätie možno použiť aj  $AV_{CC}$ . Pre lepšie filtrovanie možno k pinu **AREF** pripojiť filtračný kondenzátor.

Symbol	Parameter		Min.	Typ	Max	Units
$V_{BG}$	Bandgap reference voltage	$V_{CC}=2.7$ $T_A=25^{\circ}C$	1.0	1.1	1.2	V
$t_{BG}$	Bandgap reference start-up time	$V_{CC}=2.7$ $T_A=25^{\circ}C$		40	70	$\mu s$
$I_{BG}$	Bandgap reference current consumption	$V_{CC}=2.7$ $T_A=25^{\circ}C$		10		$\mu A$

## Alternatívne funkcie portu C

**Port C** má alternatívnu funkciu analógových vstupov pre **ADC**. Ak sú niektoré piny **Portu C** konfigurované ako výstupné, je vhodné, aby sa neprepínali pri prevode. Mohlo by to viesť k chybnému výsledku.

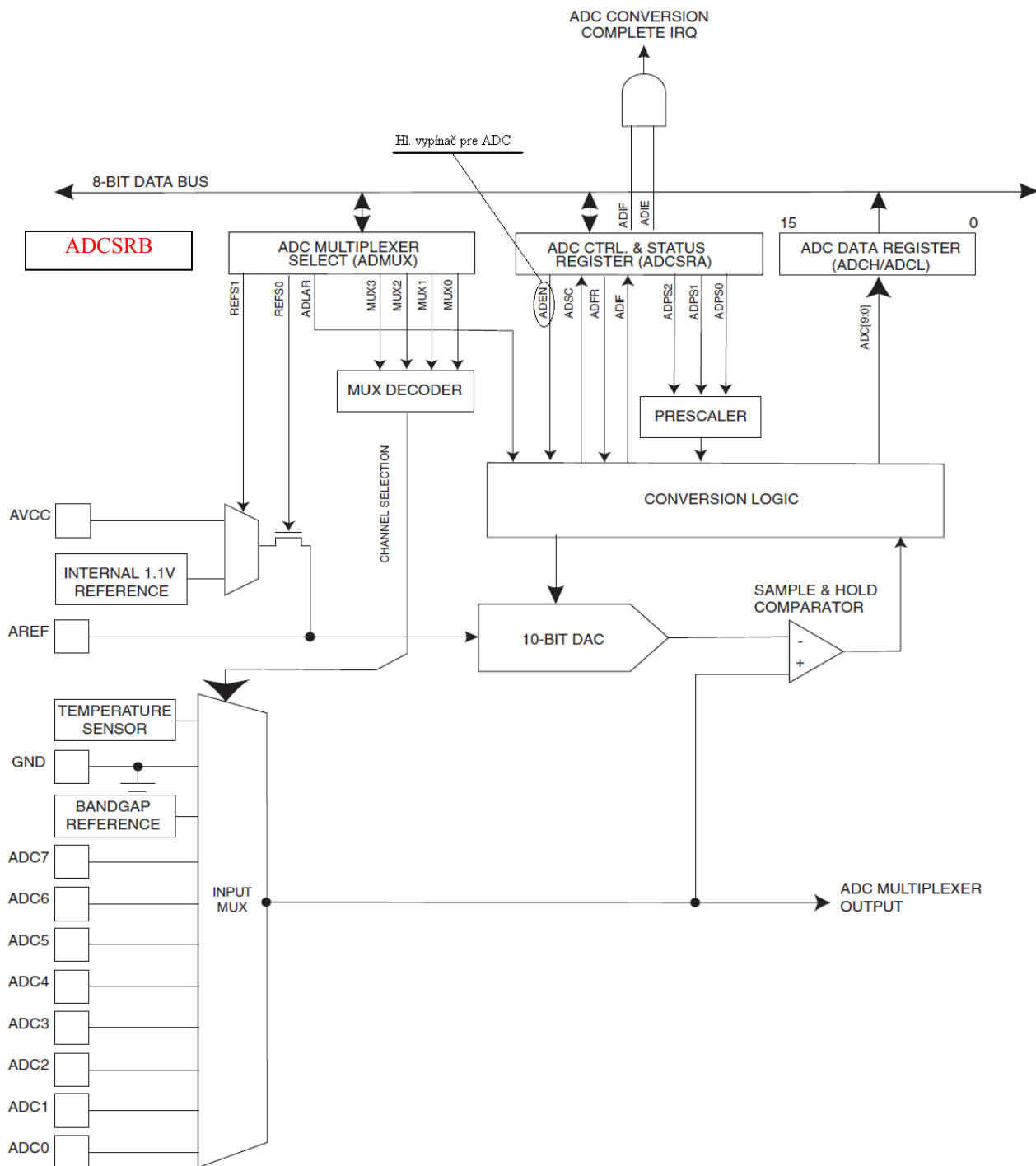
## A/D prevodník

Ak je **ADC** zapnutý, potom je **ADC** povolený vo všetkých útlmových módoch. Ak chceme šetriť energiu, **ADC** musíme vypnúť pred vstupom do útlmového módu. Ak **ADC** vypneme a opäť zapneme, nasledujúci prevod bude typu: „extended conversion“.

ATmega48 obsahuje 10-bit prevodník s postupnou aproximáciou. **ADC** je zapojený za 8 kanálovým **MUX**, ktorý umožňuje pripojiť 8 jednoduchých napät'ových vstupov, vytvorených **Portom C**, ... Napätia sú vzťahnuté k 0V (GND).

!!!! Diferenciálne analógové vstupy tento obvod nemá. !!!

Súčasťou prevodníka je aj **S&H** obvod, ktorý udržuje merané napätie počas prevodu na konštantnej hodnote.



Bloková schéma ADC.

Výsledok prevodu je 10-bitový. Pri prevode sa používa prevodník s postupnou aproximáciou. Minimálnu hodnotu predstavuje **GND** a maximum hodnotu predstavuje napätie veľkosti **AREF** mínus 1 **LSB**. Hodnota referenčného napätia: externé,  $AV_{CC}$  alebo interné 1.1V sa nastavuje pomocou bitov **REFSn** v **ADMUX**. Analógový kanál sa nastavuje pomocou bitov **MUXn** v **ADMUX**. Ako vstup ADC prevodníka možno nastaviť: **GND**, konštantnú hodnotu „bandgap voltage reference“ a ADC vstupné piny, ... ADC sa zapne nastavením bitu *ADC Enable*, **ADEN** v **ADCSRA**. Referenčné napätie a **MUX** nepracuje pokiaľ nenastavíme **ADEN**. Ak je **ADEN** = 0, ADC nespotrebováva energiu. Výsledok prevodu je 10-bitový a je prítomný v registroch **ADCH** a

**ADCL.** Default je výsledok v tvare: „*right adjusted*“. Po prepnutí môže byť v tvare: „*left adjusted*“. Zmenu nastavenia realizujeme pomocou bitu **ADLAR** v reg. **ADMUX**.

Ak je výsledok typu: „*left adjusted*“ a nepožadujeme väčšiu presnosť ako 8-bitov, stačí čítať len **ADCH**. Inak **ADCL** musíme čítať skôr, a až potom **ADCH**. Ak tak neurobíme, výsledok nemusí odpovedať aktuálnemu prevodu. Ak raz **ADCL** prečítame, prístup k „*ADC Data*“ registrom je zablokovaný. Prečítanie obsahu registra **ADCH** znovu povoľuje čítanie registrov **ADCH** a **ADCL**. **ADC** vyvolá prerušenie, ktoré môžeme použiť na spúšťanie, ďalšieho prevodu.

## Spustenie prevodu

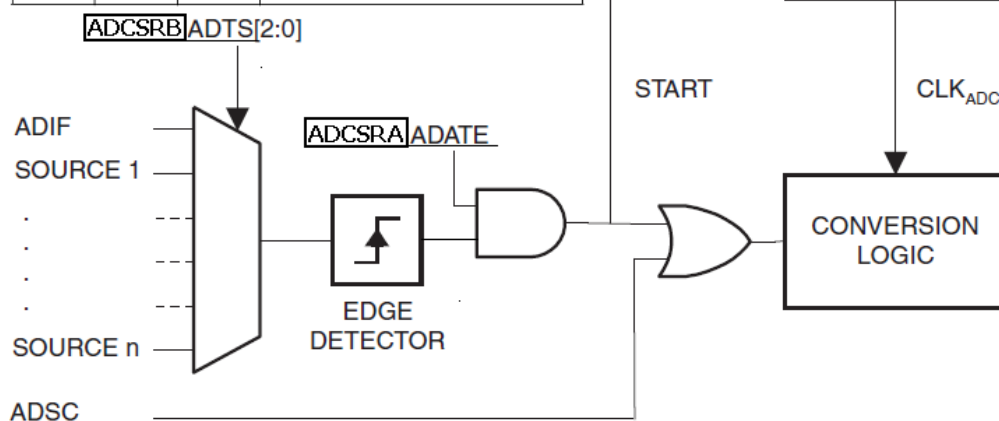
Jeden prevod – samostatný, sa spustí zapísaním jednotky do bitu „*ADC Start Conversion*“ **ADSC**. Tento bit zostane v jednotke počas celého prevodu a vynuluje sa hardwarovo po skončení prevodu. Ak počas prevodu prepne kanál, prevod sa dokončí a až potom sa prepne.

Prevod možno spúšťať nasledovne:

„*Auto Triggering*“ sa povolí nastavením bitu „*ADC Auto Trigger Enabled*“, **ADATE** v reg. **ADCSRA**. Zdroj spúšťania sa nastavuje pomocou bitov: „*ADC Trigger Select*“, **ADTS** v reg. **ADCSRB**. Ak sa kladná hrana objaví na zvolenom signále, **ADC** preddelič sa vynuluje a začne sa prevod. Ak je spúšťací signál v jednotke aj po dokončení prevodu, nový prevod sa nespustí. Ak sa objaví ďalšia kladná hrana na spúšťacom signále, počas prevodu, nový prevod sa nespustí. Poznamenajme, že príznak prerušenia sa nastaví, aj keď prerušenie nie je povolené.

„*Interrupt Flag*“ musíme vynulovať vždy (skoro).

ADTS2	ADTS1	ADTS0	Trigger Source
0	0	0	Free Running mode
0	0	1	Analog Comparator
0	1	0	External Interrupt Request 0
0	1	1	Timer/Counter0 Compare Match A
1	0	0	Timer/Counter0 Overflow
1	0	1	Timer/Counter1 Compare Match B
1	1	0	Timer/Counter1 Overflow
1	1	1	Timer/Counter1 Capture Event

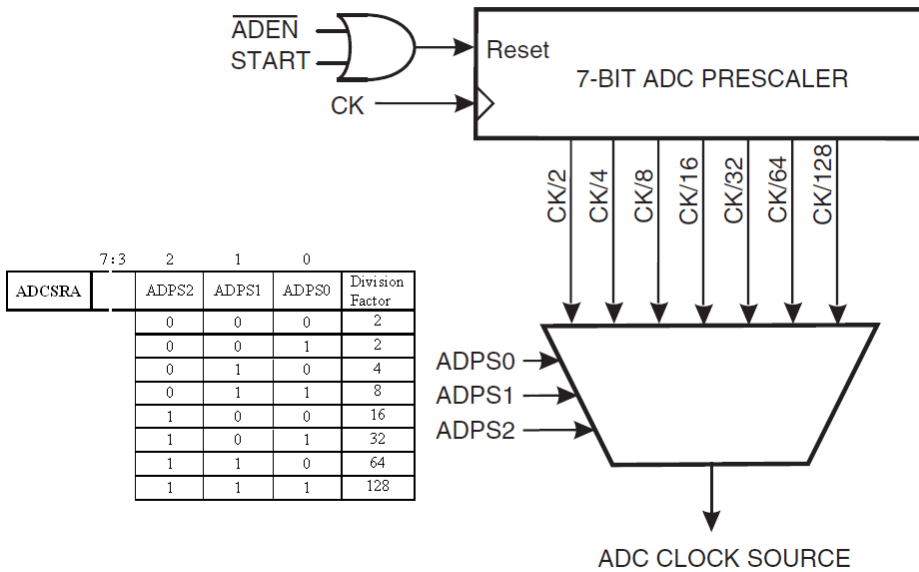


Použitie príznaku **ADIF** (ADC Interrupt Flag) ako mechanizmus spúšťania prevodu pôsobí tak, že nový prevod sa spustí okamžite po skončení predchádzajúceho. **ADC** potom pracuje ako voľne bežiaci prevodník s konštantnou frekvenciou vzorkovania a obnovovania dátových registrov **ADC**. Prvý prevod treba spustiť zapísaním log. 1 do bitu **ADSC** v reg. **ADCSRA**. V tomto móde sa vykoná úspešný prevod bez ohľadu nato, či **ADIF** (ADC Interrupt Flag) vynulujeme alebo nie.

Ak zvolíme mód „*Auto Triggering*“, prevod možno spúšťať nastavením **ADSC** v reg. **ADCSRA**.

## Preddelič a časovanie prevodu

### ADC Prescaler



Prevodník potrebuje k správnej vstupnú frekvenciu v rozsahu **50 kHz až 200 kHz**.

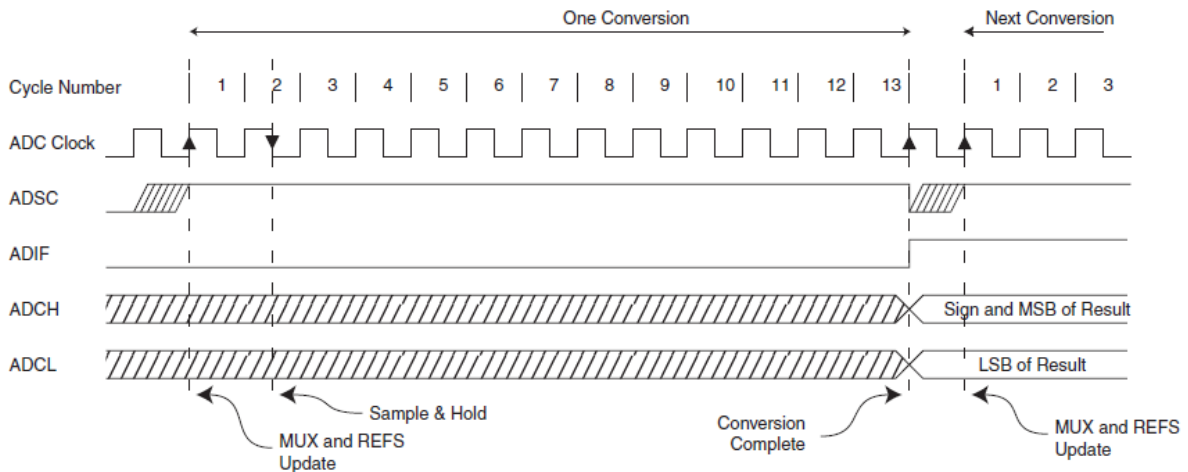
Optimum je **100 kHz**.

Ak nám postačuje menšie rozlíšenie ako 10 bitov, môžeme použiť aj vyššiu frekvenciu ako 200kHz na taktovanie ADC. ADC modul obsahuje preddelič, ktorý generuje použiteľné taktovanie. Preddelič sa nastavuje pomocou bitov ADPS v ADCSRA. Preddelič začne počítať v okamžiku zapnutia ADC nastavením bitu ADEN v ADCSRA. Keď spustíme prevod *single ended* nastavením bitu ADSC v ADCSRA, prevod začne nasledujúcou kladnou hranou signálu taktovania ADC.

Normálny prevod trvá 13 ADC taktov. Prvý prevod po zapnutí ADC (ADEN = 1 v ADCSRA) trvá 25 ADC taktov. Počas tejto doby sa inicializujú analógové obvody. Samotné S&H trvá 1.5 ADC taktu po normálnom štarte a 13.5 ADC taktu po štarte prvého prevodu.

Po skončení prevodu sa výsledok zapíše do registrov *ADC Data*, a ADIF sa nastaví. V samostatnom prevode - *single conversion*, ADSC sa vynuluje súčasne s ukončením prevodu. ADSC bit možno opäť nastaviť softwarovo a nový prevod sa spustí pri ďalšej nábežnej hrane. V móde: *Free Running* nový prevod sa spustí okamžite po dokončení prevodu. A bit ADSC zostane nastavený.

**Figure 23-5.** ADC Timing Diagram, Single Conversion



**Table 23-1. ADC Conversion Time**

Condition	Sample & Hold (Cycles from Start of Conversion)	Conversion Time (Cycles)
First conversion	13.5	25
Normal conversions, single ended	1.5	13
Auto Triggered conversions	2	13.5

**Zmena vstupného kanála, Zmena zdroja  $U_{ref}$** 

Bity **MUXn** a **REFS1:0** v **ADMUX** sú najskôr zapísané do pomocného registra a až keď je prevod dokončený sa obnovia ich nové obsahy. Zmena kanálu a referenčného napätia je počas prevodu zablokovaná.

**Vstupný kanál ADC**

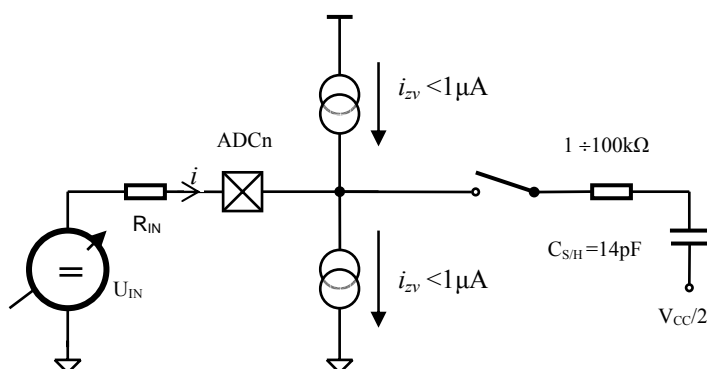
Pri zmene kanála treba dodržiavať určité pravidlá: Pri samostatnom prevode treba navoliť kanál pred spustením prevodu. Kanál možno zmeniť jeden takt po „uplynutí vzorkovania“. Jednoduchšie je meniť kanál po skončení prevodu. Vo voľne bežiacom móde prevodu treba navoliť kanál pred prvým spustením. Ak chceme postupne meniť kanál, je vhodné postupovať nasledovne: Najskôr počkáme na ukončenie prevodu – prvého. Potom zmeníme kanál. Zmena sa prejaví vždy v ďalšom prevode.

**Vstup analógového kanála**

Analógová časť jednoduchých kanálov je nakreslená na nasledovnom obrázku. Zdroj analógového napätia je pripojený na vstupný pin, ktorý sa javí ako kapacitná záťaž a zvod bez ohľadu na to, či je, alebo nie, kanál pripojený cez **MUX** na vstup **ADC**.

Ak pripojíme kanál k prevodníku ako vstup, zdroj musí nabiť **S/H** kapacitu cez sériový odpor. **ADC** je optimalizovaný pre analógový signál s výstupnou impedanciou približne  $10k\Omega$  alebo menšou. *Ak použijeme takýto vstupný zdroj, čas vzorkovania môžeme zanedbať. Ak použijeme zdroj s väčším výstupným odporom, čas vzorkovania bude závisieť od časovej konštanty nabíjania **S/H** kondenzátora. Doporučuje sa používať zdroj s nízkou impedanciou a obmedzeným nárastom -*

*pomaly sa meniaci.* Týmto sa znižujú požiadavky na vnútorné obvody nabíjania **S/H** kondenzátora. Vo vstupnom signále sa nesmia objaviť vyššie frekvencie ako je **Nyquist frequency ( $f_{ADC}/2$ )** a ani v žiadnom inom, aby sme zabránili skresleniu meraného signálu. Vstupný signál musí užívateľ vyfiltrovať - odstrániť vyššie frekvencie dolnopriepustným filtrom, skorej ako signál vstúpi do **ADC**.



## Výsledok AD prevodu

Po skončení prevodu ( $ADIF = \uparrow$ ) nájdeme výsledok v registroch *ADC Result Registers* (**ADCL**, **ADCH**).

Pre jednoduché vstupy je výsledok

$$ADC = \frac{V_{IN} \cdot 1024}{V_{REF}}$$

kde  $V_{IN}$  je napätie zvoleného vstupu – pinu a  $V_{REF}$  je napätie zvoleného referenčného zdroja.

Výsledok prevodu 0x000 predstavuje *zem*, a

výsledok prevodu 0x3FF predstavuje zvolené referenčné napätie mínus jeden **LSB**.

### ADC Multiplexer Selection Register – ADMUX

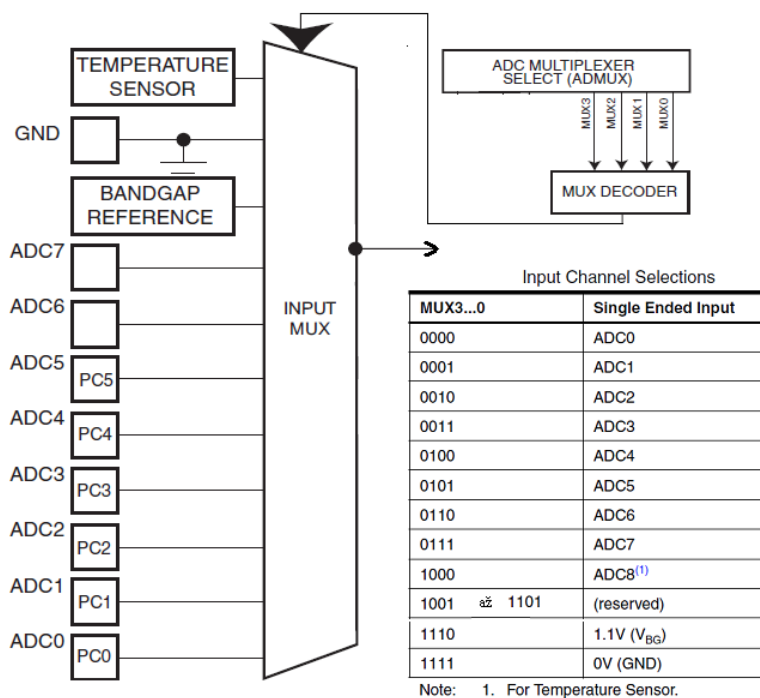
Bit	7	6	5	4	3	2	1	0	
(0x7C)	REFS1	REFS0	ADLAR	-	MUX3	MUX2	MUX1	MUX0	<b>ADMUX</b>
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

#### • Bit 7:6 – REFS1:0: Reference Selection Bits

Tieto bity nastavujú zdroj referenčného napätia pre **ADC**, vid'. Tab. 23-3. Ak zmeníme tieto bity počas prevodu, ich účinok sa prejaví až po jeho skončení ( $ADIF = 1$  v reg. **ADCSRA**). Vnútorne zdroje referenčného napätia nesmieme použiť, ak pripojíme externé napätie na pin **AREF**.

**Table 23-3.** Voltage Reference Selections for ADC

REFS1	REFS0	Voltage Reference Selection
0	0	AREF, Internal $V_{ref}$ turned off
0	1	$AV_{CC}$ with external capacitor at AREF pin
1	0	Reserved
1	1	Internal 1.1V Voltage Reference with external capacitor at AREF pin



• **Bit 5 – ADLAR: ADC Left Adjust Result**

Bit **ADLAR** pôsobí na formát výsledku ADC prevodu v registroch *ADC Data*. Ak zapíšeme do bitu **ADLAR** jednotku, výsledok bude typu: „*left adjusted*“. Inak bude výsledok typu: „*right adjusted*“. Zmena bitu **ADLAR** pôsobí na typ výsledku okamžite, bez toho či beží, resp. nebeží prevod.

• **Bits 3:0 – MUX3:0: Analog Channel Selection Bits**

Hodnota týchto bitov nastavuje analógové vstupy pre ADC. Ak tieto bity zmeníme počas prevodu, ich účinok sa prejaví až po jeho skončení.

Bit	7	6	5	4	3	2	1	0	
(0x7A)	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	<b>ADCSRA</b>
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• **Bit 7 – ADEN: ADC Enable**

Zápis jednotky do bitu **ADEN** zapne **ADC**. Zápis nuly vypne **ADC**. Zápis nuly počas prevodu má za následok nedokončenie už začatého prevodu.

• **Bit 6 – ADSC: ADC Start Conversion**

V jednoduchom móde prevodu zápis do tohto bitu spustí prevod. Vo voľne bežiacom spúšťacom móde, zápis jednotky spustí prvý prevod. Prvý prevod po zápise jednotky do bitu **ADSC**, potom čo bol **ADC** zapnutý (alebo ak ich spustíme súčasne) bude trvať 25 *ADC clock cycles* a nie len normálnych 13. Tento prvý prevod vykoná inicializáciu ADC.

Počas prevodu čítame z bitu **ADSC** jednotku. Ak prevod skončí vráti sa tento bit na nulu. Zápis nuly nemá na prevod účinok.

• **Bit 5 – ADATE: ADC Auto Trigger Enable**

Ak zapíšeme do tohto bitu jednotku zapneme funkciu: „*Auto Triggering of the ADC*“. **ADC** prevod sa spustí kladnou hranou na zvolenom spúšťacom vstupnom signále. Zdroj spúšťania sa nastavuje pomocou bitov: „*ADC Trigger Select*“, **ADTS** v **ADCSRB**.

• **Bit 4 – ADIF: ADC Interrupt Flag**

Tento bit sa nastaví po skončení **ADC** a keď sa „*Data Registers*“ obnovia novými hodnotami. Prerušenie typu: „*ADC Conversion Complete*“ sa vykoná ak bit **ADIE** a bit **I** v reg. **SREG** sú nastavené. Bit **ADIF** sa nuluje hardwarovo po vstupe do obsluhy prerušenia. Poprípade ho možno nulovať zápisom log. 1. Treba si uvedomiť, že vykonaním operácie typu: *Read-Modify-Write* s registrom **ADCSRA**, môže spôsobiť vypnutie ešte neakceptovaného prerušenia. To isté platí aj pre inštrukcie **SBI** a **CBI**.

• **Bit 3 – ADIE: ADC Interrupt Enable**

Nastavenie tohto bitu do jednotky odpovedá lokálnemu povoleniu prerušenia od **ADC**.

• **Bits 2:0 – ADPS2:0: ADC Prescaler Select Bits** Tieto bity určujú deliaci pomer medzi frekvenciou **XTAL** a frekvenciou signálu vstupujúceho do **ADC**.



Po skončení prevodu sa výsledok objaví v týchto dvoch registroch.

### ADC Data Register – ADCL a ADCH

*ADLAR = 0*

Bit	15	14	13	12	11	10	9	8	
(0x79)	-	-	-	-	-	-	ADC9	ADC8	<b>ADCH</b>
(0x78)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	<b>ADCL</b>
	7	6	5	4	3	2	1	0	
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

*ADLAR = 1*

Bit	15	14	13	12	11	10	9	8	
(0x79)	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	<b>ADCH</b>
(0x78)	ADC1	ADC0	-	-	-	-	-	-	<b>ADCL</b>
	7	6	5	4	3	2	1	0	
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

Keď čítame **ADCL**, obsah **ADC Data Register** sa neobnoví, pokiaľ neprečítame **ADCH**.

Ak je výsledok prevodu zarovnaný doľava, a postačuje nám 8-bitové rozlíšenie, stačí čítať register **ADCH**. Ak čítame oba registre **ADCL** musíme čítať ako prvé a potom **ADCH**.

#### • **ADC9:0** – výsledok AD prevodu

### ADCSRB- ADC Control and Status Register B

Bit	7	6	5	4	3	2	1	0	
	-	ACME	-	-	-	ADTS2	ADTS1	ADTS0	<b>ADCSRB</b>
Read/Write	R	R/W	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 6 – ACME Tento bit „patrí“ k analógovému komparátoru.

• Bit 2:0 – ADTS2:0: ADC Auto Trigger Source

Ak je **ADATE** v reg. **ADCSRA** nastavený na log. 1, hodnota týchto bitov vyberie zdroj spúšťania ADC prevodu. Ak **ADATE** je vynulované, nastavenie bitov **ADTS2:0** nemá žiadny účinok. Prevod sa spustí nábežnou hranou zvoleného príznaku prerušenia. Poznamenajme, že prepnutie zdroja spúšťania zo stavu *vyp* do stavu *zap*. Bude generovať nábežnú hranu spúšťacieho signálu. Ak **ADEN** v **ADCSRA** je nastavené, toto spustí prevod. Prepnutie do *Free Running mode* (**ADTS[2:0]=0**) nespôsobí spúšťaciu udalosť, dokonca ani keď *ADC Interrupt Flag* je nastavený.