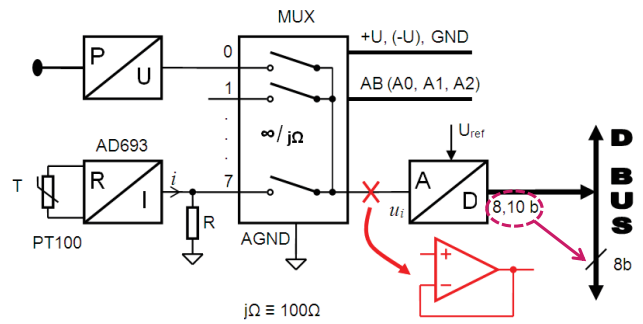


A/D prevodník

(bipolar) / unipolar ADC
samostatné / (diferenčné) vstupy



1

2

Obmedzenia vstupného signálu A/D prevodníka:

Rozsah vstupného signálu: V_{IN} musí byť medzi V_{REF+} a V_{REF-} .

$$V_{REF} = V_{REF+} - V_{REF-}$$

Otázka:

Môžeme priamo pripojiť termočlánok? Termočlánok je „tvrdým“ zdrojom malého napätia, rádovo mV .

Odpoveď:

Obmedzenie zhora je dané zesilnením komparátora. Diferenčné napätie $V_{REF} / 1024 = 1 \text{ LSB}$ musí na výstupe komparátora generovať log.0, resp. log.1. Niektorí výrobcovia uvádzajú v katalógovom liste min. diferenčné napätie na vstupe komparátora. napr.:

$$0,3 \text{ mV} \Rightarrow V_{REF \text{ MIN}} = 0,3 \text{ mV} * 1024 = 0,31 \text{ [V]}$$

3

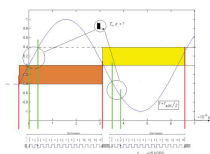
4

Obmedzenia vstupného signálu A/D prevodníka:

Obmedzenie na rýchlosť nárastu:

- Počas vzorkovania sa nesmie vstupný signál zmeniť o **požadovanú presnosť**.

Vid'. katalógový list.



The ADC contains a Sample and Hold circuit which ensures that the input voltage to the ADC is held at a constant level during conversion. A block diagram of the ADC is shown in Figure 23-1 on page 252.

Čas vzorkovania pri samostatnom prevode $1,5 \cdot SC_{ADC}$.

$$T_{ADC \text{ OPT}} = 10 \mu s = \frac{1}{f_{ADC}} = \frac{1}{100 \text{ kHz}} \Rightarrow \text{Čas vzorkovania je cca } 15 \mu s.$$

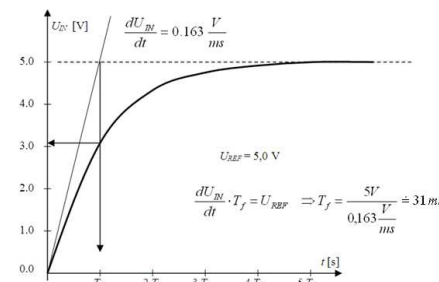
Počas vzorkovania sa nesmie zmeniť vzorkovaný signál o viac

$$\text{ako } 0,5 \text{ LSB: } \frac{dU_{IN}}{dt} = \frac{0,5 \text{ LSB}}{1,5 \cdot T_{ADC \text{ OPT}}} = \frac{0,5 \cdot \left(\frac{5V}{1024}\right)}{15 \mu s} = 0,163 \frac{V}{ms} = 163 \frac{V}{s}$$

5

Obmedzenia vstupného signálu A/D prevodníka:

Obmedzenie na rýchlosť nárastu:



Nech !!!

$$R_{U_{IN}} = 10 \text{ k}\Omega$$

Potom:

$$C_F = \frac{T_f}{R_{U_{IN}}} = \frac{31 \text{ ms}}{10 \text{ k}\Omega} = 3,1 \mu F$$

A vyberieme najbližšiu vyššiu vyrábanú hodnotu.

Frekvencie vyššie ako 5,1Hz bude filter s časovou konštantou tmiť.

$$T_f = 31 \text{ ms}$$

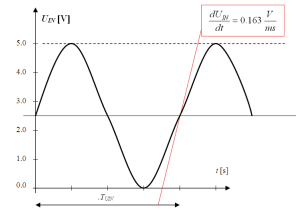
6

Obmedzenia vstupného signálu A/D prevodníka:

Obmedzenie
$$\frac{dU_{IN}}{dt} = \frac{0.5LSB}{1.5T_{ADC\,OPF}} = \frac{0.5 \cdot \left(\frac{5V}{1024}\right)}{15\mu s} = 0,163 \frac{V}{ms} = 163 \frac{V}{s}$$

môžeme interpretovať aj takto: Uvažujme vstupný signál A/D prevodníka $U_{IN} = 2,5V + 2,5V \cdot \sin \omega t = 2,5V + 2,5V \cdot \sin(2\pi f \cdot t)$

$$\frac{dU_{IN}}{dt} / t \rightarrow 0 = 2,5 \cdot 2\pi f = 0,163 \frac{V}{ms} \Rightarrow f_{U_{IN}} = 10.4Hz$$



ATmega48 – ADC

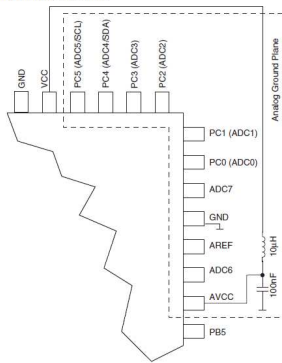
Vlastnosti A / D prevodníka:

(PCINT14/RESET) PC6	1	28	PC5 (ADC5/SCL/PCINT13)
(PCINT16/RXD) PD0	2	27	PC4 (ADC4/SDA/PCINT12)
(PCINT17/TXD) PD1	3	26	PC3 (ADC3/PCINT11)
(PCINT18/INT0) PD2	4	25	PC2 (ADC2/PCINT10)
(PCINT19/OC2B/INT1) PD3	5	24	PC1 (ADC1/PCINT9)
(PCINT20/XCK/T0) PD4	6	23	PC0 (ADC0/PCINT8)
VCC	7	22	GND
GND	8	21	AREF
(PCINT6/KTAL1/TOSC1) PB6	9	20	AVCC
(PCINT7/KTAL2/TOSC2) PB7	10	19	PB5 (SCK/PCINT5)
(PCINT21/OC0B/T1) PD5	11	18	PB4 (MISO/PCINT4)
(PCINT22/OC0A/AIN0) PD6	12	17	PB3 (MOSI/OC2A/PCINT3)
(PCINT23/AIN1) PD7	13	16	PB2 (SS/OC1B/PCINT2)
(PCINT0/CLK0/ICP1) PB0	14	15	PB1 (OC1A/PCINT1)

- 8- kanálový multiplexer, 10-bitový ADC
- (6),8- jednoduchých kanálov
- Trvanie prevodu 13 - 260 μs
- Až 15 kSPS pri maximálnom rozlíšení
- Zarovňavanie výsledku prevodu. Možnosť nastaviť zarovnanie doľava
- Rozsah vstupného napätia pre ADC je 0 - V_{CC}
- Zabudovaný zdroj referenčného napätia 1.1V pre ADC
- Voľne bežiaci prevod alebo samostatne spúšťaný
- Požiadavka o prerušenie po skončení prevodu
- „Redukcia“ rušenia

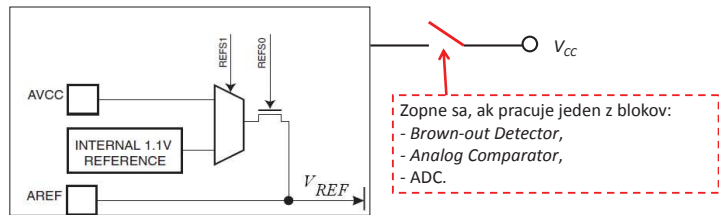
Napájanie

Figure 23-9. ADC Power Connections



- **AV_{CC}** - je pin pre napájacie napätie pinov Portu C a napájanie ADC. Napätie tohto pinu sa nesmie líšiť od V_{CC} o viac ako $\pm 0,3V$.
- **AREF** - je pin analógového referenčného napätia pre A/D prevodník.

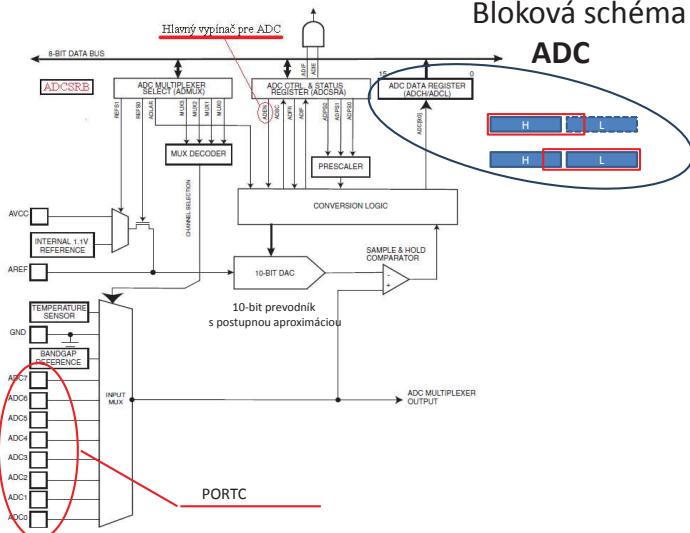
Zdroj napätvej referencie



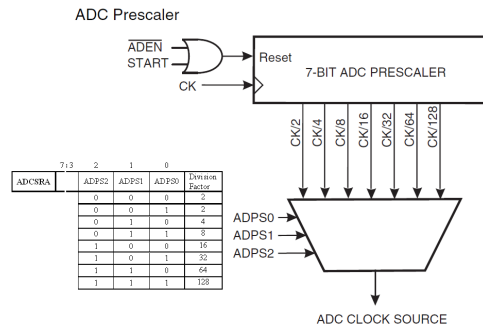
Symbol	Parameter		Min.	Typ	Max	Units
V_{BG}	Bandgap reference voltage	$V_{CC}=2.7$ $T_A=25^\circ C$	1.0	1.1	1.2	V
t_{BG}	Bandgap reference start-up time	$V_{CC}=2.7$ $T_A=25^\circ C$		40	70	μs
I_{BG}	Bandgap reference current consumption	$V_{CC}=2.7$ $T_A=25^\circ C$		10		μA

Bloková schéma

ADC



Preddelič a časovanie prevodu:



ADCSRA	7:3	2	1	0	Division Factor
0	0	0	0	0	2
0	0	0	1	0	2
0	0	1	0	0	4
0	0	1	1	0	4
0	1	0	0	0	8
0	1	0	0	1	8
0	1	1	0	0	16
0	1	1	0	1	16
0	1	1	1	0	32
0	1	1	1	1	32
1	1	1	1	1	64
1	1	1	1	1	128

Prevodník potrebuje k správnej funkcii vstupnú taktovaciu frekvenciu v rozsahu **50 kHz až 200 kHz.**

Optimum je **100 kHz.**

Preddelič a časovanie prevodu :

Prevodič potrebuje k správnej funkcii vstupnú taktovaciu frekvenciu v rozsahu **50 kHz až 200 kHz**.
Optimum je **100 kHz**.

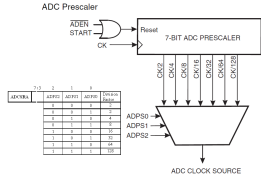


Figure 23-5. ADC Timing Diagram, Single Conversion

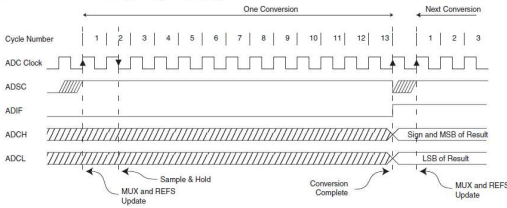
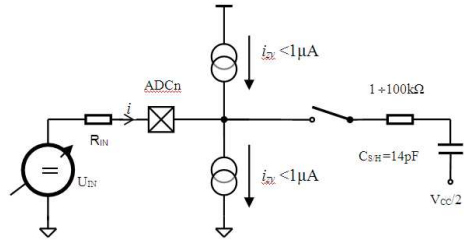


Table 23-1. ADC Conversion Time

Condition	Sample & Hold (Cycles from Start of Conversion)	Conversion Time (Cycles)
First conversion	13.5	25
Normal conversions, single ended	1.5	13
Auto Triggered conversions	2	13.5

Vstup analógového kanála



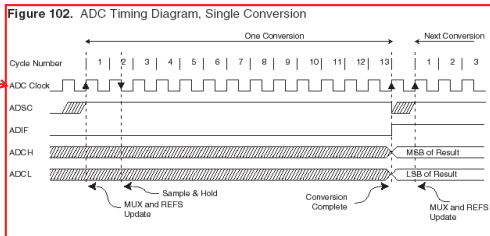
$$R_{IN} \leq \frac{0.5LSB}{I_{zv}} = \frac{0,5 \cdot \left(\frac{5V}{1024}\right)}{1\mu A} \doteq 2,4k\Omega$$

Vzorkovacia frekvencia A/D prevodníka

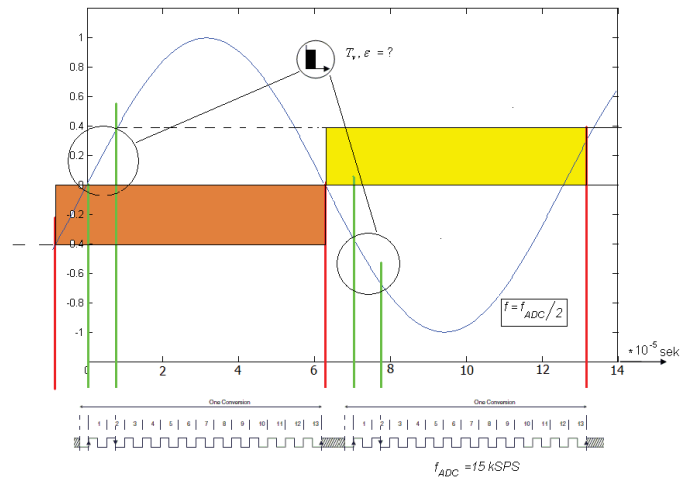
Pr.:

(Opakovanie; Procesory AVR $f_{ADC} = 200kHz$):

- A/D prevodník s postupnou aproximáciou má max. frekvenciu vzorkovania. 15 kSPS . Môžeme tvrdiť, že Nyquist-ova frekvencia je cca 7.5kHz?
- Odpoveď: NIE! $f = 7.5kHz \hat{=} T = 133.3\mu s$
- Čas jedného prevodu pozostáva z: a trvá: cca 70 μs ; (200kHz)



15

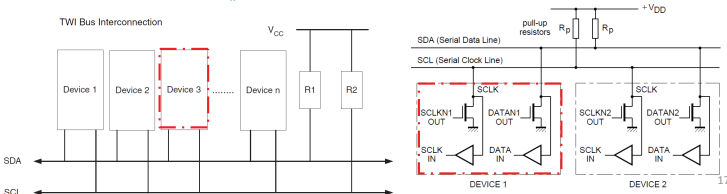


16

I2C (TWI) Inter Integrated Circuit

- I2C je sériová synchronná zbernica vyvinutá firmou Philips.
- Na I2C zbernici možno pripojiť EEPROM, ADC, LCD budiče, (>1000 IC's)
- Počet obvodov pripojených na zbernici je obmedzený počtom adres a celkovou kapacitou zbernice <400 pF („jednotkou dĺžky je pF“).
- Na prenos informácie sú použité dve nesymetrické vedenia – SCL (hodiny)
- SDA (data)

Tieto vodiče sú obojsmerné a pomocou PULLED UP rezistorov ťahané hore. Všetky zariadenia pripojené na zbernici musia mať „otvorený kolektor“. Budiče zbernice majú implementované „drôtové AND“.



I2C Inter Integrated Circuit

- Každé zariadenie pripojené k zbernici je identifikované 7-, resp. (128 zariadení *minus* 16 rezervovaných = 112) 10-bitovou adresou (1024 zariadení *minus* rezervované adresy = 1008 „mostíkom“ je rezervovaná adresa 1111 0XX).
- Módy prenosu (prenosová rýchlosť):
 - Standard mode: <100kb/s
 - Fast mode: <400kb/s
 - Fast mode plus: <1000kb/s
 - High-speed mode: <3400kb/s (10bit adresa, až 1024 zariadení)

18

I2C - (TWI)

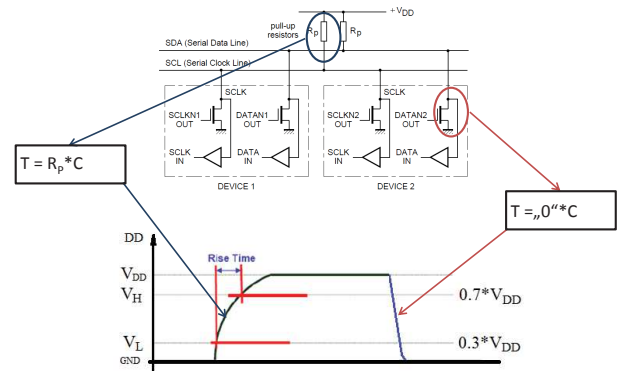
Dôležité pojmy:

- **Transmitter** – zariadenie vysielajúce dáta na zbernicu.
- **Receiver** – zariadenie prijímajúce dáta zo zbernice.
- **Master** – inicializujúce (zahajuje) prenos na zbernici, generuje hodinové signály a ukončuje prenos. MASTER môže byť vo funkcii vysieláča aj prijímača.
- **Slave** – zariadenie adresované MASTER-om. SLAVE môže byť aj vysieláč aj prijímač.
- **Multi-master** – schopnosť súčasnej koexistencie viacerých MASTER-ov na zbernici bez kolízií a strát dát.
- **Arbitration** – vlastnosť, ktorá zabezpečí, že v danom čase len jeden MASTER riadi zbernicu.
- **Synchronization** – vlastnosť, ktorá zabezpečí, synchronizáciu hodinových signálov, ktoré generujú dve, resp. viaceré zariadenia typu MASTER.

I2C

Zdroj:
Log. 1
Log. 0
} = $f(V_{DD})$

Prijímač filtruje krátke impulzy na zbernici.



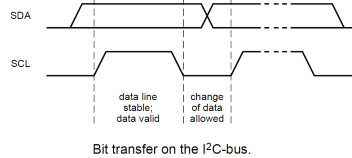
19

20

I2C protokol: Prenos dát a formáty prenášaného rámca

- Data sú po SDA prenášané bytovo. Niekoľko bytov ohraničených **S** a **P**.
- Na prenesenie jedného Byte je generovaný MASTER-om
 - $8 \cdot f_{I2C}$ pre data a
 - $1 \cdot f_{I2C}$ pre ACK. Prijímač potvrdzuje ACK. Tento jeden bit „vysiela“ prijímač.
- **Prenos bitu(ov)**
Prenos bitu je podmienený jedným pulzom na SCL. Signál na SDA vodiči musí byť stabilný ak je CLK signál v úrovni Log. 1.

Jediná výnimka z tohto pravidla je mechanizmus generovania **Start** a **STOP** podmienky.

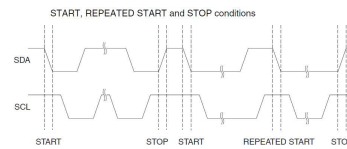


Bit transfer on the I2C-bus.

21

I2C protokol: Prenos **Start** a **stoP** podmienky.

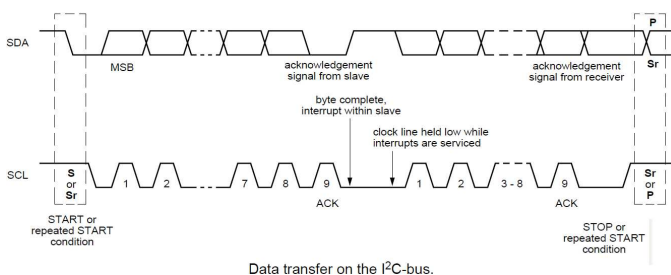
- Ak je zbernica voľná, môže sa uskutočniť prenos. T.j. oba vodiče sú v logickej jednotke.
- MASTER inicializuje a ukončuje prenos.
 - Prenos sa začne, ak MASTER odvysielal **Start** podmienku
 - prenos sa ukončí, ak MASTER odvysielal **stoP** podmienku.
 - Zbernica je medzi **Start** a **stoP** podmienkou v stave „busy“.
 - Ak sa medzi **Start** a **stoP** podmienkou objaví opakovaný **Start**, tento stav sa označuje ako **REPEATED Start** podmienka (Sr, S).
 - **Start** a **stoP** podmienka sa realizujú ako zmena na SDA počas vysokej úrovne na SCL vodiči.



22

I2C protokol:

- Všetky vysielané dáta pomocou I2C zbernice sú 9 bitové.

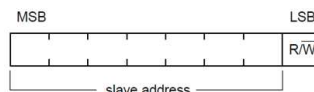


Data transfer on the I2C-bus.

23

I2C protokol:

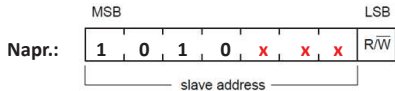
- Prvý byte (niekedy sa nazýva riadiaci byte) po **Start** podmienke je rozdelený na:
 - 7 bitov - adresa – (pevná a programovateľná časť)
 - 1 bit - Read/Write riadiaci bit . Tento bit nastavuje typ operácie.
 - 1 bit – acknowledge bit (ACK). Ak adresované zariadenie rozpozna svoju adresu, potvrdí to tak, že počas 9-teho SCL hodinového signálu stiahne SDA na nízku úroveň. MASTER potom môže odvysielat **stoP** podmienku alebo opakovaný **Start**, aby mohol inicializovať nový prenos. Adresný packet pozostávajúci z adresy SLAVE zariadenia a READ alebo WRITE podmienky sa označuje: SLA+R resp. SLA+W.



24

I2C protokol: „riadiaci byte“

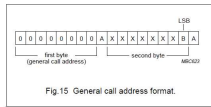
- 7 bitov - adresa – (Pevná a **programovateľná** časť)



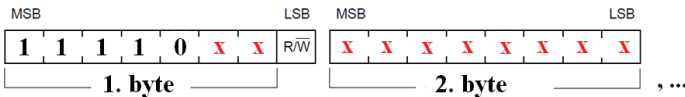
- 10bitová adresa

Table 2 Definition of bits in the first byte

SLAVE ADDRESS	R/W BIT	DESCRIPTION
0000 000	0	General call address
0000 000	1	START byte ⁽¹⁾
0000 001	X	CBUS address ⁽²⁾
0000 010	X	Reserved for different bus format ⁽³⁾
0000 011	X	Reserved for future purposes
0000 1XX	X	I ² C-mode master code
1111 1XX	X	Reserved for future purposes
1111 0XX	X	10-bit slave addressing



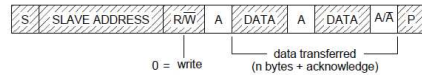
When bit B is a 'zero', the second byte has the following definition:
 • 0000110 (H06): Reset and write programmable part of slave address by hardware.



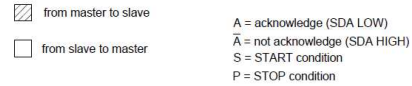
25

I2C protokol:

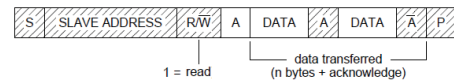
MASTER (TRANSMITTER) – SLAVE (RECEIVER)



A master-transmitter addressing a slave receiver with a 7-bit address. The transfer direction is not changed.



MASTER (RECEIVER) – SLAVE (TRANSMITTER)



A master reads a slave immediately after the first byte.

26

I2C protokol:

Riešenie problémov na zbernici

Riešenie konfliktov je založené na počúvaní.

Vysielač „budí zbernicu“ a zároveň kontroluje, či sa na zbernici objaví to, čo vysielač na zbernicu poslal: Log. 1 – mäkký zdroj signálu / Log. 0 – tvrdý zdroj signálu

Dva dôvody, že sa neobjaví Log. 1

– Log. 1 (*) Log. 0 = Log. 0.

Dôvod tohto stavu. Napr.: Iný Master (Log. 0) pôsobiaci na zbernici

– Mäkký zdroj Log. 1.

Dôvod tohto stavu. Vysielač nedokáže v danom čase „nabiť“ cele vedenie (celú kapacitu)

Synchronný prenos:

môžeme spomaliť, pozastaviť

Pomalšie zariadenie (SLAVE) môže

– **spomaliť**. SLAVE zariadenie môže v každej perióde podržať SCL na log. 0.

– **pozastaviť**. Ak potrebuje SLAVE zariadenie čas na spracovanie dát podrží SCL na úrovni log. 0 po ACK bite.

27

MultiMaster režim:

MASTER – inicializujúce (zahajuje) prenos na zbernici, generuje hodinové signály a ukončuje prenos. MASTER môže byť vo funkcii vysielača aj prijímača. Ak je na zbernicu pripojený len jeden MASTER, je komunikácia po zbernici jednoduchá. Ak je na zbernicu pripojených viacero MASTER-ov, treba určiť, kto v danom stave riadi zbernicu. Treba riešiť dve úlohy:

– **synchronizáciu hodín (SCL)**: Ak čo i len jeden MASTER nastaví SCL na Log. 0, zbernica je na Log. 0. Ak MASTER uvoľní SCL, musí monitorovať (počúvať) a môže taktovať Log. 1 až vtedy, keď všetci uvoľnia linku.

– **arbitráž**: Rieši kolízie na vodiči SDA. MASTER musí „počúvať“ či to, čo na linku nastavil, aj prečíta. Ak MASTER prečíta, iný stav ako nastavil, musí uvoľniť linku (prejsť do stavu SLAVE – čo ak je adresovaný ako SLAVE zariadenie?). Je zrejmé, že tento stav nastane, ak jeden MASTER vysiela log. 1 a druhý log. 0. „zvítazi“ ten, ktorý vysiela na SDA log. 0.

28

I2C – pripojenie EEPROM

Piny:

1,2,3: Adresa IC (max 8)

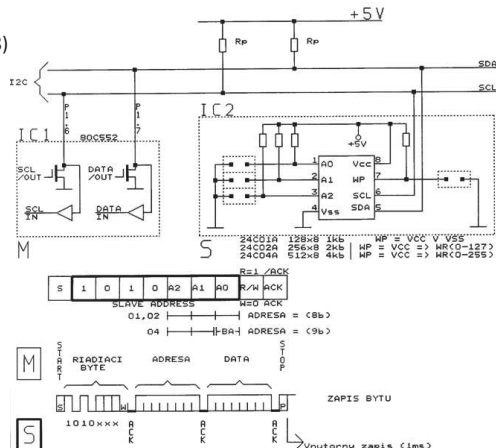
4: V_{SS}

5: SDA

6: SCL

7: WP = log. 1

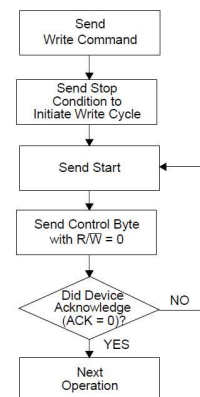
8: V_{CC}



EEPROM majú vnútorný AC, ktorý sa automaticky inkrementuje

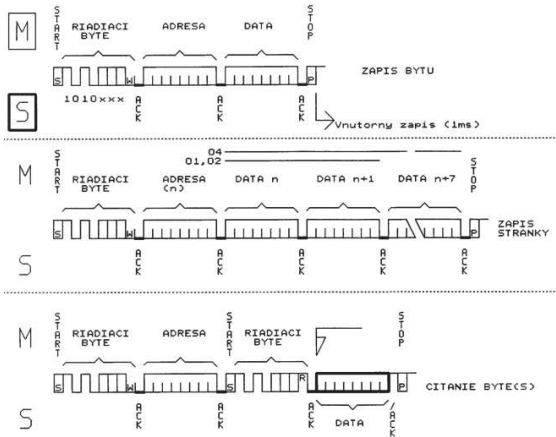
29

“ACKNOWLEDGE POLLING”



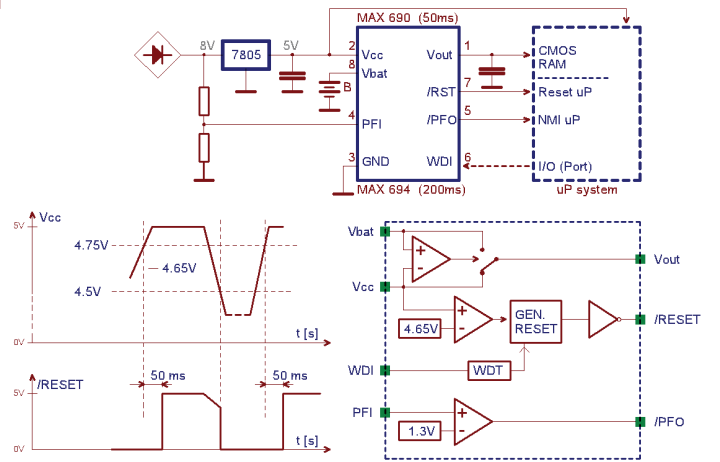
30

I2C – pripojenie EEPROM



31

RST, Watchdog



32